

JP11-154733-A



MACHINE-ASSISTED TRANSLATION (MAT):

<p>(19) 【発行国】 日本国特許庁 (J P)</p>	<p>(19)[ISSUING COUNTRY] Japan Patent Office (JP)</p>
<p>(12) 【公報種別】 公開特許公報 (A)</p>	<p>(12)[GAZETTE CATEGORY] Laid-open Kokai Patent (A)</p>
<p>(11) 【公開番号】 特開平 11-154733</p>	<p>(11)[KOKAI NUMBER] Unexamined Japanese Patent Heisei 11-154733</p>
<p>(43) 【公開日】 平成 1 1 年 (1 9 9 9) 6 月 8 日</p>	<p>(43)[DATE OF FIRST PUBLICATION] June 8, Heisei 11 (1999. 6.8)</p>
<p>(54) 【発明の名称】 半導体集積装置</p>	<p>(54)[TITLE OF THE INVENTION] SEMICONDUCTOR INTEGRATION APPARATUS</p>
<p>(51) 【国際特許分類第 6 版】 H01L 27/04 21/822 H02H 7/20 H05F 3/02</p>	<p>(51)[IPC INT. CL. 6] H01L 27/04 21/822 H02H 7/20 H05F 3/02</p>
<p>【 F I 】 H01L 27/04 H H02H 7/20 F H05F 3/02 L</p>	<p>[FI] H01L 27/04 H H02H 7/20 F H05F 3/02 L</p>
<p>【審査請求】 未請求</p>	<p>[REQUEST FOR EXAMINATION] No</p>
<p>【請求項の数】 9</p>	<p>[NUMBER OF CLAIMS] 9</p>

【出願形態】 O L

[FORM of APPLICATION] Electronic

【全頁数】 1 0

[NUMBER OF PAGES] 10

(21) 【出願番号】

(21)[APPLICATION NUMBER]

特願平 9-319721

Japanese Patent Application Heisei 9-319721

(22) 【出願日】

(22)[DATE OF FILING]

平成 9 年 (1 9 9 7) 1 1 月 2
0 日

November 20, Heisei 9 (1997. 11.20)

(71) 【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】

[ID CODE]

000002369

000002369

【氏名又は名称】

[NAME OR APPELLATION]

セイコーエプソン株式会社

Seiko Epson, Inc.

【住所又は居所】

[ADDRESS OR DOMICILE]

東京都新宿区西新宿 2 丁目 4 番
1 号

(72) 【発明者】

(72)[INVENTOR]

【氏名】

[NAME OR APPELLATION]

降矢 安成

Furuya Yasushige

【住所又は居所】

[ADDRESS OR DOMICILE]

長野県諏訪市大和 3 丁目 3 番 5
号 セイコーエプソン株式会社
内

(74) 【代理人】

(74)[AGENT]

【弁理士】

[PATENT ATTORNEY]

【氏名又は名称】

[NAME OR APPELLATION]

鈴木 喜三郎 (外 2 名)

Suzuki Kisaburo (other two)

(57) 【要約】

(57)[ABSTRACT OF THE DISCLOSURE]

【課題】

[SUBJECT OF THE INVENTION]

高周波領域においても安定した回路動作を実現でき電源ノイズに強い半導体集積装置を提供すること。

Provide semiconductor integration apparatus strong against power-source noise, which can implement circuit operation stabilized also in high frequency region.

【解決手段】

[PROBLEM TO BE SOLVED]

電源間に内蔵バイパスコンデンサと、その近傍に静電気保護素子を設ける。バイパスコンデンサはトランジスタゲート膜または配線層間膜で形成する。静電気保護素子はPまたはN型GCD、もしくはNPNまたはPNPバイポーラトランジスタ、もしくはPNダイオードにより形成する。

Electrostatic-protection element is prepared in built-in bypass capacitor and its vicinity between power sources.

Bypass capacitor is formed by transistor gate film or wiring-layer ligamentum.

Electrostatic-protection element is formed with P, N-type GCD, NPN, PNP bipolar transistor, or PN diode.

【効果】

[ADVANTAGE]

ある回路で発生した電源ノイズを他の回路に伝搬させにくい、また他の回路からの電源ノイズを受けにくい。トランジスタのゲート膜が薄くなっても適応可能。ウェルの電位安定性向上ができる。I/Oセルのリング電源ライン強化ができる。チップ全体の静電気耐量を向上でき

It is hard to make other circuit spread power-source noise generated in a certain circuit, and hard to receive power-source noise from other circuit.

Adaptation is possible even if gate film of transistor becomes thin.

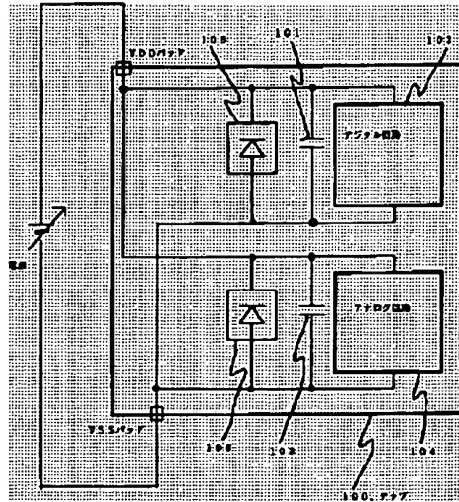
Electric-potential stability improvement of well is made.

Ring power-source line reinforcement of I/O cell

る。

can be performed.

Static-electricity resistance quantity of the whole tip can be improved.



【特許請求の範囲】

[CLAIMS]

【請求項1】

VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はゲートをVSSにドレイン及びソースをVDDに接続されたPチャンネルMOS (PMOS)、またはゲートをVDDにドレイン及びソースをVSSに接続されたNチャンネルMOS (NOS)

[CLAIM 1]

In semiconductor which has capacity connected between VDD-VSS power sources, and electrostatic-protection element similarly connected between power sources, said capacity and said electrostatic-protection element are branched from the same power-source line, and are arranged mutually in vicinity, said capacity comprises P channel MOS (PMOS) by which gate was connected to VSS and drain and source were connected to VDD, or N channel MOS (NOS) gate film by which gate was connected to VDD and drain and source were connected to VSS, said

ゲート膜で構成され、前記静電気保護素子はゲート及びソースをVDDに、ドレインをVSSに接続されたPMOSゲートコントロールダイオード（以下PGCD）、またはゲート及びソースをVSSに、ドレインをVDDに接続されたNMOSゲートコントロールダイオード（以下NGCD）で構成されたことを特徴とする半導体集積装置。

electrostatic-protection element comprised PMOS gate controlled diode (henceforth, PGCD) by which gate and source were connected to VDD and drain was connected to VSS, or NMOS gate controlled diode (henceforth, NGCD) by which gate and source were connected to VSS and drain was connected to VDD.

Semiconductor integration apparatus characterized by the above-mentioned.

【請求項2】

VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はゲートをVSSにドレイン及びソースをVDDに接続されたPチャンネルMOS（PMOS）、またはゲートをVDDにドレイン及びソースをVSSに接続されたNチャンネルMOS（NOS）ゲート膜で構成され、前記静電気保護素子はベース及びエミッタをVDDに、コレクタをVSSに接続されたPNPバイポーラトランジスタ、またはベース及びエミッタをVSSに、コレクタをVDDに接続されたNPNバイポーラトランジスタで構成されたことを特徴とする半導

[CLAIM 2]

In semiconductor which has electrostatic-protection element connected between power sources as well as capacity connected between VDD-VSS power sources, said capacity and said electrostatic-protection element are branched from the same power-source line, and are arranged mutually in vicinity, said capacity comprises P channel MOS (PMOS) by which gate was connected to VSS and drain and source were connected to VDD, or N channel MOS (NOS) gate film by which gate was connected to VDD and drain and source were connected to VSS, said electrostatic-protection element comprised PNP bipolar transistor by which base and emitter were connected to VDD and collector was connected to VSS, or NPN bipolar transistor by which base and emitter were connected to VSS and collector was connected to VDD.

Semiconductor integration apparatus characterized by the above-mentioned.

体集積装置。

【請求項 3】

VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はゲートをVSSにドレイン及びソースをVDDに接続されたPチャンネルMOS (PMOS)、またはゲートをVDDにドレイン及びソースをVSSに接続されたNチャンネルMOS (NOS) ゲート膜で構成され、前記静電気保護素子はPウェル内に形成された高濃度P型拡散 (P+ストッパー) とNウェル内に形成された高濃度N型拡散 (N+ストッパー) をつきあわせて作られるいわゆるPNダイオードで構成されたことを特徴とする半導体集積装置。

[CLAIM 3]

In semiconductor which has electrostatic-protection element connected between power sources as well as capacity connected between VDD-VSS power sources, said capacity and said electrostatic-protection element are branched from the same power-source line, and are arranged mutually in vicinity, said capacity comprises P channel MOS (PMOS) by which gate was connected to VSS and drain and source were connected to VDD, or N channel MOS (NOS) gate film by which gate was connected to VDD and drain and source were connected to VSS, said electrostatic-protection element comprised so-called PN diodes which high concentration P-type diffusion (P+ stopper) formed in P well and high concentration N-type diffusion (N+ stopper) formed in N well are made to associate, and are made.

Semiconductor integration apparatus characterized by the above-mentioned.

【請求項 4】

VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量は第一の金属配線層と第2の金属配線層の層間膜または第1の多結

[CLAIM 4]

In semiconductor which has electrostatic-protection element connected between power sources as well as capacity connected between VDD-VSS power sources, said capacity and said electrostatic-protection element are branched from the same power-source line, and are arranged mutually in vicinity, said capacity is formed by interlayer film of the first metal wiring layer and 2nd metal

晶シリコンと第2の多結晶シリコンの層間膜または多結晶シリコンと金属配線層の層間膜で形成され、前記静電気保護素子はゲート及びソースをVDDに、ドレインをVSSに接続されたPMOSゲートコントロールダイオード(以下PGCD)、またはゲート及びソースをVSSに、ドレインをVDDに接続されたNMOSゲートコントロールダイオード(以下NGCD)で構成されたことを特徴とする半導体集積装置。

wiring layer, interlayer film of 1st polycrystalline silicon and 2nd polycrystalline silicon, or interlayer film of polycrystalline silicon and metal wiring layer, said electrostatic-protection element comprised PMOS gate controlled diode (henceforth, PGCD) by which gate and source were connected to VDD and drain was connected to VSS, or NMOS gate controlled diode (henceforth, NGCD) by which gate and source were connected to VSS and drain was connected to VDD.

Semiconductor integration apparatus characterized by the above-mentioned.

【請求項5】

VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量は第一の金属配線層と第2の金属配線層の層間膜または第1の多結晶シリコンと第2の多結晶シリコンの層間膜または多結晶シリコンと金属配線層の層間膜で形成され、前記静電気保護素子はベース及びエミッタをVDDに、コレクタをVSSに接続されたPNPバイポーラトランジスタ、またはベース及びエミッタをVSSに、コレクタをVDに接続されたNPNバイポーラトランジスタで構成されたこ

[CLAIM 5]

In semiconductor which has electrostatic-protection element connected between power sources as well as capacity connected between VDD-VSS power sources, said capacity and said electrostatic-protection element are branched from the same power-source line, and are arranged mutually in vicinity, said capacity is formed by interlayer film of the first metal wiring layer and 2nd metal wiring layer, interlayer film of 1st polycrystalline silicon and 2nd polycrystalline silicon, or interlayer film of polycrystalline silicon and metal wiring layer, said electrostatic-protection element comprised PNP bipolar transistor by which base and emitter were connected to VDD and collector was connected to VSS, or NPN bipolar transistor by which base and emitter were connected to VSS and collector was connected to VDD.

Semiconductor integration apparatus

とを特徴とする半導体集積装置。 characterized by the above-mentioned.

【請求項 6】

VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量は第一の金属配線層と第2の金属配線層の層間膜または第1の多結晶シリコンと第2の多結晶シリコンの層間膜または多結晶シリコンと金属配線層の層間膜で形成され、前記静電気保護素子はPウェル内に形成された高濃度P型拡散(P+ストッパー)とNウェル内に形成された高濃度N型拡散(N+ストッパー)をつきあわせて作られるいわゆるPNダイオードで構成されたことを特徴とする半導体集積装置。

[CLAIM 6]

In capacity connected between VDD-VSS power sources, and semiconductor which has electrostatic-protection element similarly connected between power sources, said capacity and said electrostatic-protection element are branched from the same power-source line, and are arranged mutually in vicinity, said capacity is formed by interlayer film of the first metal wiring layer and 2nd metal wiring layer, interlayer film of 1st polycrystalline silicon and 2nd polycrystalline silicon, or interlayer film of polycrystalline silicon and metal wiring layer, said electrostatic-protection element comprised so-called PN diodes which high concentration P-type diffusion (P+ stopper) formed in P well and high concentration N-type diffusion (N+ stopper) formed in N well are made to associate, and are made. Semiconductor integration apparatus characterized by the above-mentioned.

【請求項 7】

容量の絶縁膜破壊電圧よ静電気保護素子のブレイクダウン電圧が低い事を特徴とする請求項1または請求項2または請求項3または請求項4または請求項5または請求項6記載の半導体集積装置。

[CLAIM 7]

Claim 1 or 2 or 3 or 4 characterized by breakdown voltage of electrostatic-protection element being lower than insulation-film breakdown voltage of capacity, or semiconductor integration apparatus of Claim 5 or Claim 6.

【請求項 8】**[CLAIM 8]**



容量及び静電気保護素子は半導体集積装置のI/Oセル用電源ラインに接続されかつI/Oセル領域に配置されたことを特徴とする請求項1または請求項2または請求項3または請求項4または請求項5または請求項6記載の半導体集積装置。

It connected with power-source line for I/O cells of semiconductor integration apparatus, and capacity and electrostatic-protection element have been arranged to I/O cell region.

Claim 1 or 2 or 3 or 4 characterized by the above-mentioned, or semiconductor integration apparatus of Claim 5 or Claim 6.

【請求項9】

容量及び静電気保護素子は半導体集積装置のI/Oセル領域で囲まれた内側にある内部用電源ラインに接続されかつ内部領域に配置されたことを特徴とする請求項1または請求項2または請求項3または請求項4または請求項5または請求項6記載の半導体集積装置。

[CLAIM 9]

It connected with power-source line for interior in inner side surrounded in I/O cell region of semiconductor integration apparatus, and capacity and electrostatic-protection element have been arranged to internal region.

Claim 1 or 2 or 3 or 4 characterized by the above-mentioned, or semiconductor integration apparatus of Claim 5 or Claim 6.

【発明の詳細な説明】**[DETAILED DESCRIPTION OF THE INVENTION]****【0001】****[0001]****【発明の属する技術分野】**

本発明は高周波用半導体集積装置の電源ノイズ除去の一つとして有効な内蔵バイパスコンデンサの形成方法に関する。

[TECHNICAL FIELD OF THE INVENTION]

This invention relates to formation method of effective built-in bypass capacitor as one of the power-source noise rejection of semiconductor integration apparatus for high frequency.

【0002】**[0002]****【従来の技術】**

従来、半導体内部で発生した電

[PRIOR ART]

In order to remove power-source noise

源ノイズを除去するためには、半導体集積装置の外部の直近の電源間 (VDD-VSS) にバイパスコンデンサを挿入していた。

generated inside semiconductor formerly, bypass capacitor was inserted between power sources (VDD-VSS) of nearest to exterior of semiconductor integration apparatus.

【0003】

図2は従来の電源ノイズ除去用外部バイパスコンデンサの挿入位置である。

[0003]

FIG. 2 is insertion point of conventional external bypass capacitor for power-source noise rejection.

【0004】

【発明が解決しようとする課題】

しかしながら半導体集積装置の動作周波数が20MHzを越えるようになると、半導体集積装置の外部に付けられたバイパスコンデンサでは、半導体集積装置の電源ピンとバイパスコンデンサまでの距離 (インピーダンス) が無視できなくなり、半導体集積装置内で発生する電源ノイズを十分除去できないという問題点を有していた。

[0004]

[PROBLEM TO BE SOLVED BY THE INVENTION]

When operating frequency of semiconductor integration apparatus comes to exceed 20MHz(s), it becomes impossible however, to disregard distance (impedance) to power-source pin and bypass capacitor of semiconductor integration apparatus in bypass capacitor attached to exterior of semiconductor integration apparatus.

It had problem that power-source noise generated within semiconductor integration apparatus could not be removed enough.

【0005】

よって図2の従来の方法の様に、半導体集積装置内200の1つの電源ピンペアからデジタル回路203とアナログ回路204の電源供給をする場合、デジタル回路203で発生した電源ノイズ205が外部のバイパスコンデンサへ到達して平滑化

[0005]

Therefore, like conventional method of FIG. 2, when power supply of digital circuit 203 and analog circuit 204 was carried out from one power-source pin pair of 200 in semiconductor integration apparatus, before power-source noise 205 generated in digital circuit 203 reached and smoothed to external bypass capacitor, it went around to analog circuit 204,

する前にアナログ回路 204 へ and there was problem of doing bad influence to
回り込み、アナログ回路の動作 operation of analog circuit.
へ悪影響を及ぼすという問題点
があった。

【0006】

そこで半導体集積装置内におい
て電源間にバイパスコンデンサ
を単純に挿入すると電源ノイズ
を除去することはできるもの
の、電源間に注入された静電気
によりコンデンサの電極間の膜
が破壊されるという危険があっ
た。

[0006]

Then, there were danger of saying that film
between electrodes of condenser is fractured by
static electricity implanted between power
sources of what can remove power-source
noise if bypass capacitor is simply inserted
between power sources into semiconductor
integration apparatus.

【0007】

図 3 は従来の電源ノイズ除去用
チップ内蔵バイパスコンデンサ
の挿入位置を示す回路図であ
り、静電気エネルギー 310 が
VDD ラインを通して注入され
た場合内蔵バイパスコンデンサ
301 が破壊される例を示して
いる。

[0007]

FIG. 3 is circuit diagram showing insertion point
of conventional bypass capacitor for
power-source noise rejection with a built-in tip.
When static-electricity energy 310 is implanted
through VDD line, example by which built-in
bypass capacitor 301 is fractured is shown.

【0008】

【課題を解決するための手段】
本発明の半導体集積装置は、V
DD-VSS 電源間に接続され
た容量と、同じく電源間に接続
された静電気保護素子を有する
半導体において、前記容量と前
記静電気保護素子は同一の電源
ラインから分岐しかつ互いに近
傍に配置され、前記容量は P チ

[0008]**[MEANS TO SOLVE THE PROBLEM]**

Semiconductor integration apparatus of this
invention, in semiconductor which has
electrostatic-protection element connected
between power sources as well as capacity
connected between VDD-VSS power sources,
said capacity and said electrostatic-protection
element are branched from the same
power-source line, and are arranged mutually in

チャンネルMOS (PMOS) またはNチャンネルMOS (NMOS) ゲート膜で構成され、前記静電気保護素子はゲート及びソースをVDDに、ドレインをVSSに接続されたPMOSゲートコントロールダイオード (以下PGCD), またはゲート及びソースをVSSに、ドレインをVDDに接続されたNMOSゲートコントロールダイオード (以下NGCD) で構成されたことを特徴とする。

[0009]

また本発明の半導体集積装置は、VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はゲートをVSSにドレイン及びソースをVDDに接続されたPチャンネルMOS (PMOS)、またはゲートをVDDにドレイン及びソースをVSSに接続されたNチャンネルMOS (NMOS) ゲート膜で構成され、前記静電気保護素子はベース及びエミッタをVDDに、コレクタをVSSに接続されたPNPバイポーラトランジスタ、またはベース及びエミッタをVSSに、コレクタをVDDに接続さ

vicinity, said capacity comprises P channel MOS (PMOS) or N channel MOS (NMOS) gate film, it is characterized by said electrostatic-protection element comprising PMOS gate controlled diode (henceforth, PGCD) by which gate and source were connected to VDD and, as for it, drain was connected to VSS, or NMOS gate controlled diode (henceforth, NGCD) by which gate and source were connected to VSS and drain was connected to VDD.

[0009]

Moreover, semiconductor integration apparatus of this invention, in semiconductor which has electrostatic-protection element connected between power sources as well as capacity connected between VDD-VSS power sources, said capacity and said electrostatic-protection element are branched from the same power-source line, and are arranged mutually in vicinity, said capacity comprises N channel MOS (NMOS) gate films to which P channel MOS (PMOS) by which gate was connected to VSS and drain and source were connected to VDD, or gate was connected to VDD, and drain and source were connected at VSS, it is characterized by said electrostatic-protection element comprising PNP bipolar transistor by which base and emitter were connected to VDD and collector was connected to VSS, or NPN bipolar transistor by which base and emitter were connected to VSS and collector was connected to VDD.

れたNPNバイポーラトランジスタで構成されたことを特徴とする。

【0010】

また本発明の半導体集積装置は、VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はゲートをVSSにドレイン及びソースをVDDに接続されたPチャンネルMOS (PMOS)、またはゲートをVDDにドレイン及びソースをVSSに接続されたNチャンネルMOS (NOS)ゲート膜で構成され、前記静電気保護素子はPウェル内に形成された高濃度P型拡散 (P+ストッパー) とNウェル内に形成された高濃度N型拡散 (N+ストッパー) をつきあわせて作られるいわゆるPNダイオードで構成されたことを特徴とする。

[0010]

Moreover, semiconductor integration apparatus of this invention, in semiconductor which has electrostatic-protection element connected between power sources as well as capacity connected between VDD-VSS power sources, said capacity and said electrostatic-protection element are branched from the same power-source line, and are arranged mutually in vicinity, said capacity comprises in gate P channel MOS (PMOS) by which drain and source were connected to VSS at VDD, or N channel MOS (NOS) gate film by which gate was connected to VDD and drain and source were connected to VSS, it is characterized by said electrostatic-protection element comprising so-called PN diodes which high concentration P-type diffusion (P+ stopper) formed in P well and high concentration N-type diffusion (N+ stopper) formed in N well are made to associate, and are made.

【0011】

また本発明の半導体集積装置は、VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一

[0011]

Moreover, semiconductor integration apparatus of this invention, in semiconductor which has electrostatic-protection element connected between power sources as well as capacity connected between VDD-VSS power sources, said capacity and said electrostatic-protection

の電源ラインから分岐し、互いに近傍に配置され、前記容量は第一の金属配線層と第二の金属配線層の層間膜または第一の多結晶シリコンと第二の多結晶シリコンの層間膜または多結晶シリコンと金属配線層の層間膜で形成され、前記静電気保護素子はゲート及びソースをVDDに、ドレインをVSSに接続されたPMOSゲートコントロールダイオード（以下PGCD）、またはゲート及びソースをVSSに、ドレインをVDDに接続されたNMOSゲートコントロールダイオード（以下NGCD）で構成されたことを特徴とする。

element are branched from the same power-source line, and are arranged mutually in vicinity, said capacity is formed by interlayer film of the first metal wiring layer and 2nd metal wiring layer, interlayer film of 1st polycrystalline silicon and 2nd polycrystalline silicon, or interlayer film of polycrystalline silicon and metal wiring layer, it is characterized by said electrostatic-protection element comprising NMOS gate controlled diodes (henceforth, NGCD) by which PMOS gate controlled diode (henceforth, PGCD) by which gate and source were connected to VDD and, as for it, drain was connected to VSS or gate, and source were connected to VSS, and drain was connected to VDD.

【0012】

[0012]

【作用】

[OPERATION]

図1は本発明の半導体集積装置の概念図である。

FIG. 1 is conceptual diagram of semiconductor integration apparatus of this invention.

【0013】

[0013]

電源間に挿入されたバイパスコンデンサ101、102はそれぞれデジタル回路103、アナログ回路104の近傍に形成され、デジタル回路103で発生する電源ノイズを除去すると共にアナログ回路104に注入される電源ノイズを除去する役目を果たしている。

Bypass capacitors 101 and 102 inserted between power sources are each formed near digital circuit 103 and the analog circuit 104, while removing power-source noise generated in digital circuit 103, role which removes power-source noise implanted into analog circuit 104 is achieved.

【0014】

そしてバイパスコンデンサ101, 102の近傍に配置された静電気保護素子PNダイオード105, 106は、バイパスコンデンサの絶縁膜破壊電圧より、PNダイオードの逆方向ブレイクダウン電圧が低く設計されている。ここで静電気エネルギーが電源ラインを通して注入された場合、バイパスコンデンサ101, 102とPNダイオードに同電位が印可されるが、バイパスコンデンサを破壊に至らしめる前にPNダイオードを介して静電気エネルギーが放電される。よってバイパスコンデンサ101, 102は静電気から保護されるのである。

[0014]

And as for electrostatic-protection element PN diode 105,106 arranged near the bypass capacitor 101,102, reverse breakdown voltage of PN diode is low designed from insulation-film breakdown voltage of bypass capacitor. When static-electricity energy is implanted through power-source line here, license of this electric potential is carried out to bypass capacitor 101,102 and PN diode. However, before making bypass capacitor extend in rupture, static-electricity energy discharges through PN diode. Therefore, bypass capacitor 101,102 is protected from static electricity.

【0015】

【発明の実施の形態】

以下に本発明の詳細な実施例を図面を参照して具体的に説明する。

[0015]

[EMBODIMENT OF THE INVENTION]

Detailed Example of this invention is specifically demonstrated with reference to drawing below.

【0016】

図4はPMOSゲートコントロールダイオード(PGCD)静電気保護素子とPMOSゲート膜バイパスコンデンサの組み合わせによる本発明の第1例回路図である。バイパスコンデンサ403はアナログ回路400の電源を安定化させるためのもの

[0016]

FIG. 4 is 1st example circuit diagram of this invention by combination of PMOS gate controlled diode (PGCD) electrostatic-protection element and PMOS gate film bypass capacitor. It is for bypass capacitor 403 stabilizing power source of analog circuit 400. And electrostatic-protection element 404 is for protecting previous bypass capacitor 403 from

のである。そして静電気保護素子404は先のバイパスコンデンサ403を静電気から守るためのものである。

【0017】

バイパスコンデンサ403はPMOSトランジスタのゲート膜で構成され、ゲートをVSSにそしてソース、ドレイン、サブストレートをVDDに接続されている。つまりVDDとVSSの間にバイパスコンデンサが形成されることになる。静電気保護素子404はPMOSトランジスタで構成され、ゲート及びソース、サブストレートをVDDに、ドレインをVSSに接続されている。よって通常はオフ状態にあるが、ひとたび静電気エネルギーが印可されドレインとソースの間に通常20V程度以上の高電圧がかかるトランジスタのブレイクダウン現象によりVDDからVSSへ静電気エネルギーが放電される。よってバイパスコンデンサ403には静電気保護素子404のブレイクダウン電圧以上の電位はかからないので保護されるのである。ここでは静電気保護素子及びバイパスコンデンサとしてPMOSトランジスタの例を示したが、NMOSトランジスタでも構わない。

[0017]

Bypass capacitor 403 comprises gate films of PMOS transistor, VSS and source, drain, and substrate are connected to VDD for gate.

That is, bypass capacitor is formed between VDD and VSS.

Electrostatic-protection element 404 comprises PMOS transistors, gate and source, and substrate are connected to VDD, and drain is connected to VSS.

Therefore, it is usually in OFF state.

However, license of the static-electricity energy is carried out once, high voltage beyond about 20V is usually built between drain and source, and static-electricity energy discharges from VDD to VSS according to break-down phenomenon of transistor.

Therefore, since electric potential more than breakdown voltage of electrostatic-protection element 404 is not built over bypass capacitor 403, it protects.

Here, example of PMOS transistor is shown as electrostatic-protection element and a bypass capacitor.

However, NMOS transistor is sufficient.

【0018】

図5はNMOSゲートコントロールダイオード(NGCD) 静電気保護素子とNMOSゲート膜バイパスコンデンサの組み合わせによる本発明の第2例回路図である。また静電気保護素子としてPMOS、バイパスコンデンサとしてNMOSの組み合わせでも良い。同じく電気保護素子としてNMOS、バイパスコンデンサとしてPMOSの組み合わせでももちろん良い。

[0018]

FIG. 5 is 2nd example circuit diagram of this invention by combination of NMOS gate controlled diode (NGCD) electrostatic-protection element and NMOS gate film bypass capacitor. Moreover, it is possible also in combination of NMOS as PMOS and a bypass capacitor as an electrostatic-protection element. Similarly it is easy to be natural in combination of PMOS as NMOS and a bypass capacitor as an electric protection element.

【0019】

図1、図2ではアナログ回路へ回り込んでくる電源ラインノイズをプロテクトすることが目的であったが、反対にノイズを発生しやすいデジタル回路の電源ノイズが流出しないような目的にも本発明は有効である。

[0019]

In FIG. 1, FIG. 2, it was objective to protect power-source line noise which goes around to analog circuit. However, this invention is effective also in objective that power-source noise of digital circuit which is easy to generate noise contrarily does not drain out.

【0020】

図6は本発明の第3例の回路図で、デジタルノイズの例としてI/Oセルの出力ドライバーを掲げている。半導体集積装置チップの周辺部には通常入出力セル専用領域(I/Oセル領域)がリング状に配置されており、内部領域用の電源と分けるのが理想である。ところがピン数の制限などで内部用電源とI/Oセル用電源を共通のVDDパッド605及びVSSパッド60

[0020]

FIG. 6 is circuit diagram of 3rd example of this invention, and hangs up output driver of I/O cell as an example of digital noise. It is ideal which region only for input-output cells (I/O cell region) is usually arranged at ring shape at periphery section of semiconductor integration-apparatus tip, and is divided with power source for internal region. However, power source for interior and power source for I/O cells may have to be branched and used from common VDD pad 605 and VSS pad 606 with limitation of the number of pins

6 から分岐して使用しなければ etc.

ならない場合がある。そこでパッドからみて分岐後は I/Oセル用 VDD600 と I/Oセル用 VSS601 の電源ライン系と、内部用 VDD602 と内部用 VSS603 の電源ライン系を共通インピーダンスを持たせないように配置するのが通例である。

Then, after branch, in view of pad, VDD600 for I/O cells, and power-source line system of VSS601 for I/O cells, and

Power-source line system of VDD602 for interior, and VSS603 for interior

Usually are arranged so that common impedance may not be given.

【0021】

図6ではチップの右上コーナー部の電源ラインを示している。バイパスコンデンサ608、613は先の I/Oセル用 VDD600 と I/Oセル用 VSS601 の間に接続されている。静電気保護素子607は同じく I/Oセル用 VDD、VSS の間に接続されかつバイパスコンデンサ608の近傍に配置されている。またもう1つの静電気保護素子609も同様に I/Oセル用 VDD、VSS の間に接続されかつバイパスコンデンサ613の近傍に配置されている。静電気保護素子及びバイパスコンデンサはリング状電源にいくつあっても良い。出力ドライバーセル610も同じく I/Oセル電源ラインに接続されており、内部からの出力信号611を受けてスイッチングし、出力パッド612から最終出力信号がでる。このとき I/O用 VDD6

[0021]

FIG. 6 shows power-source line of upper right corner section of tip.

Bypass capacitors 608 and 613 are connected between previous VDD600 for I/O cells, and VSS601 for I/O cells.

Similarly it connects between VDD,VSS for I/O cells, and electrostatic-protection element 607 is arranged near the bypass capacitor 608.

Moreover, another electrostatic-protection element 609 is similarly connected between VDD,VSS for I/O cells, and it arranges near the bypass capacitor 613.

Electrostatic-protection element and bypass capacitor may be in ring-shape power source how many.

Similarly output dry burr cell 610 is connected to I/O cell power-source line, it switches in response to output signal 611 from interior, and final output signal comes out from output pad 612.

At this time, switching noise is in I/O VDD600 and VSS601.

However, bypass capacitor 613 arranged near the output driver 610 relieves power-source

00及びVSS601にスイッチングノイズがのるが、出力ドライバー610の近くに配置されたバイパスコンデンサ613によって電源ノイズは緩和され、さらにバイパスコンデンサ608によってさらに緩和されていく。よって内部用VDD602、内部用VSS603には出力ドライバー610から発生する電源ノイズのまわりこみを緩和することができるのである。

[0022]

ここでは静電気保護素子としてPGCDの例をのせているが、もちろんNGCDでもかまわないし、PGCDとNGCDを並列に使用しても良い。バイパスコンデンサもPMOSでもNMOSでもまた並列に使用しても、その目的はなんら変わることはない。また静電気保護素子としてのGCDとバイパスコンデンサの組み合わせは、ゲートアレイ等のようにI/O領域には出力ドライバーを形成するためのもしくは入出力ピンの静電気保護のためにトランジスタがあらかじめ用意されている場合が多く未使用のパッドセル等で余っているトランジスタを静電気保護素子として有効利用できるという利点もある。さらにこれらの静電気保護素子は電源間

noise, furthermore, bypass capacitor 608 relieves further.

Therefore, to VDD602 for interior, and VSS603 for interior, sneak path of power-source noise generated from output driver 610 can be relieved.

[0022]

Here, example of PGCD is carried as an electrostatic-protection element.

However, of course, NGCD is sufficient and PGCD and NGCD may be used for juxtaposing. Even if bypass capacitor also also uses PMOS or NMOS for juxtaposing, the objective does not change at all.

Moreover, GCD as an electrostatic-protection element and combination of bypass capacitor, case where transistor is beforehand prepared for electrostatic protection of input-output pin for forming output driver in I/O region as gate array is mostly.

There is also advantage that transistor left in unused pad cell etc. can be used effectively as an electrostatic-protection element.

Since these electrostatic-protection elements are furthermore connected between power sources, there is effect which prevents rupture of internal transistor also to static electricity built between this power-source pad.

に接続されているので該電源パッド間にかかる静電気に対しても内部トランジスタの破壊を防ぐ効果がある。

【0023】

次に静電気保護素子としてバイポーラトランジスタを使用した例を説明する。

[0023]

Next, example which uses bipolar transistor as an electrostatic-protection element is demonstrated.

【0024】

図7はNPNバイポーラトランジスタ 静電気保護素子とPMOSゲート膜バイパスコンデンサの組み合わせによる本発明の第4例回路図である。バイパスコンデンサ703はアナログ回路の電源安定化のため、静電気保護素子704はバイパスコンデンサ703の静電気保護のために存在する。バイパスコンデンサ703はゲートをVSSに、ソース、ドレイン、サブストレートをVDDに接続されたPMOSTランジスタのゲート膜で構成される。静電気保護素子704はエミッタをVDDに、コレクタ及びベースをVSSに接続したNPN型バイポーラトランジスタである。一般的にバイポーラトランジスタのブレイクダウン電圧はGCDトランジスタのそれより幾分低くなるので、バイパスコンデンサの保護の目的としてGCDより良好であるという効果がある。よ

[0024]

FIG. 7 is 4th example circuit diagram of this invention by combination of NPN bipolar-transistor electrostatic-protection element and PMOS gate film bypass capacitor. As for bypass capacitor 703, electrostatic-protection element 704 exists for electrostatic protection of bypass capacitor 703 for power-source stabilization of analog circuit.

Bypass capacitor 703 comprises gate films of PMOS transistor by which gate was connected to VSS and source, drain, and substrate were connected to VDD.

Electrostatic-protection element 704 is NPN type bipolar transistor by which emitter was connected to VDD and it connected collector and base to VSS.

Generally breakdown voltage of bipolar transistor becomes lower than that of GCD transistor for how many minutes.

Therefore, it is effective in being more favorable than GCD as an objective of protection of bypass capacitor.

Therefore, semiconductor integration apparatus shifts combination of bypass capacitor by electrostatic-protection element and gate film of

ってバイポーラトランジスタの静電気保護素子とゲート膜によるバイパスコンデンサの組み合わせは、半導体集積装置がディープサブミクロンのデザインルールへシフトして、ゲート膜が薄くなっても適応できるという格段の効果がある。また薄いゲート膜を使えることでより大容量のバイパスコンデンサを得ることができ、ノイズ除去の効果が向上する。もちろんバイポーラトランジスタとしてはPNP型でも良い。ただしPNP型の場合ベースをVDD側へ接続して使用する。またPNP型とNPN型を並列に使用しても良い。さらに言うまでもないがバイパスコンデンサとしてはNMOSトランジスタのゲート膜でも良い。

【0025】

図8はPNダイオード静電気保護素子とNMOSゲート膜バイパスコンデンサの組み合わせによる本発明の第5例回路図である。バイパスコンデンサ803はアナログ回路の電源安定化のため、静電気保護素子804はバイパスコンデンサ803の静電気保護のために存在する。バイパスコンデンサ803はゲートをVDDに、ソース、ドレイン、サブストレートをVSSに接続されたNMOSトランジスタ

bipolar transistor to deep submicron design rule, and there is particular effect that it can be adapted even if gate film becomes thin.

Moreover, more nearly mass bypass capacitor can be obtained by ability of thin gate film to be used, and effect of noise rejection improves.

Of course as a bipolar transistor, it is possible also at PNP type.

However, in PNP type case, base is used for VDD side, connecting.

Moreover, it may use PNP type and NPN type for juxtaposing.

Although it is still more needless to say, as a bypass capacitor, gate film of NMOS transistor is also possible.

[0025]

FIG. 8 is 5th example circuit diagram of this invention by combination of PN diode electrostatic-protection element and NMOS gate film bypass capacitor.

As for bypass capacitor 803, electrostatic-protection element 804 exists for electrostatic protection of bypass capacitor 803 for power-source stabilization of analog circuit.

Bypass capacitor 803 comprises gate films of NMOS transistor by which gate was connected to VDD and source, drain, and substrate were connected to VSS.

Electrostatic-protection element 804 makes

タのゲート膜で構成される。静電気保護素子804は高濃度P+拡散（以下P+ストッパー）と高濃度N+拡散（以下N+ストッパー）をつきあわせて形成され、P+ストッパー側をVSSへ、N+ストッパー側をVDDへ接続されており、さらに前記NMOSトランジスタの周囲を囲んでいる。

high-concentration P+ diffusion (following P+ stopper) and high concentration N+ diffusion (following N+ stopper) associate, and is formed, p+ stopper side is connected to VSS, N+ stopper side is connected to VDD, and perimeter of said NMOS transistor is surrounded further.

【0026】

図9はこの図8のPNダイオードのレイアウト平断面図である。

[0026]

FIG. 9 is layout plane-cross-section figure of PN diode of this FIG. 8.

【0027】

ドレイン・ソースとなるN+拡散910と911と多結晶シリコンゲート904はNMOSトランジスタでありゲート膜によりバイパスコンデンサを形成している。P+ストッパー912、913がトランジスタの周囲を取り囲み、P-WELL917の電位をVSSにしている。またP-WELLの周囲はN-WELL916、918であり、N+ストッパー915、914によりVDD電位を与えられている。このときP-WELLとN-WELLの境界にはPNダイオード902、903が形成される。

[0027]

N+ diffusion 910 and 911 and polycrystal silicon gate 904 used as drain * source are NMOS transistor, and form bypass capacitor with gate film.

P+ stopper 912,913 surrounds perimeter of transistor and sets electric potential of P-WELL917 to VSS.

Moreover, perimeter of P-WELL is N-WELL916,918.

VDD electric potential is given by N+ stopper 915,914.

PN diode 902,903 is formed in border of P-WELL and N-WELL at this time.

【0028】

[0028]

このようなPNダイオード静電気保護素子とゲート膜バイパスコンデンサの組み合わせはトランジスタの周囲を完全にダイオードで包囲できるので、ゲート膜の保護がよりいっそう強力になるという独特の効果をもたらす。さらにこの様なリング状のP+/N+ストッパーはP-WELL及びN-WELLの電位を強力にし、トランジスタの高速動作を一層安定させるという格別の効果をもたらす。この例ではバイパスコンデンサとしてNMOSを説明したが、PMOSトランジスタのゲート膜でもバイパスコンデンサとしての効果は何らかわるものではない。

Combination of such a PN diode electrostatic-protection element and gate film bypass capacitor can surround perimeter of transistor for diode completely.

Therefore, peculiar effect that protection of gate film becomes much more forcefully more is brought about.

P+/N+ stopper of still such a ring shape does electric potential of P-WELL and N-WELL forcefully, exceptional effect of stabilizing high-speed operation of transistor further is brought about.

This example demonstrated NMOS as a bypass capacitor.

However, effect as a bypass capacitor is not broken by gate film of PMOS transistor at all.

【0029】

これまでバイパスコンデンサとしてトランジスタのゲート膜を使う例を説明してきたが、異なる配線層による層間膜容量でも形成することができる。

[0029]

Example using gate film of transistor has so far been demonstrated as a bypass capacitor.

However, it can form also by interlayer-film capacity by different wiring layer.

【0030】

図10は一般的な配線層間膜により容量を形成した場合の断面図である。

[0030]

FIG. 10 is sectional drawing at the time of forming capacity by general wiring-layer ligamentum.

【0031】

第1配線層1003と第2配線層1002が交差している部分の面積に比例してコンデンサ1004の値が決まる。第1配線

[0031]

Value of condenser 1004 is decided in proportion to area of part which 1st wiring layer 1003 and 2nd wiring layer 1002 intersect.

VSS electric potential is given to 1st wiring layer

層1003にはVSSライン1001によりVSS電位が与えられ、第2配線層1002にはVDDライン1000によりVDD電位が与えられる。もちろん第1配線層にVDD電位をそして第2配線層にVSSを与えても容量値は同じである。

【0032】

第1配線層と第2配線層の材質の組み合わせとしては各々（下の層から）金属配線1層目と金属配線2層目、金属配線2層目と金属配線3層目、金属配線3層目と金属配線4層目、金属配線1層目と金属配線3層目、金属配線2層目と金属配線4層目、金属配線1層目と金属配線4層目等、あるいは、多結晶シリコン1層目と多結晶シリコン2層目、多結晶シリコン2層目と多結晶シリコン3層目、多結晶シリコン1層目と多結晶シリコン3層目等、さらには多結晶シリコン1層目と金属配線1層目、多結晶シリコン2層目と金属配線1層目、多結晶シリコン1層目と金属配線2層目等の多結晶シリコンと金属配線の組み合わせ、さらには、拡散層と金属配線層の組み合わせ等も可能である。

[0032]

As a combination of material of 1st wiring layer and 2nd wiring layer, they are the 1st layer of the metal wiring, and the 2nd layer of the metal wiring respectively (from lower layer), the 2nd layer of the metal wiring, the 3rd layer of the metal wiring, the 3rd layer of the metal wiring, the 4th layer of the metal wiring, the 1st layer of the metal wiring, the 3rd layer of the metal wiring, the 2nd layer of the metal wiring, the 4th layer of the metal wiring, the 1st layer of the metal wiring, the 4th layer of the metal wiring etc., etc., or the 1st layer of the polycrystalline silicon, the 2nd layer of the polycrystalline silicon, the 2nd layer of the polycrystalline silicon, the 3rd layer of the polycrystalline silicon, the 1st layer of the polycrystalline silicon, the 3rd layer of the polycrystalline silicon etc., etc., furthermore, they are the 1st layer of the polycrystalline silicon, and the 1st layer of the metal wiring, the 2nd layer of the polycrystalline silicon, the 1st layer of the metal wiring, combination of the 1st layer of the polycrystalline silicon, polycrystalline silicon, such as the 2nd layer of the metal wiring etc., and metal wiring, furthermore, combination of diffused layer and metal wiring layer etc. is

made.

【0033】

次にこの配線層によるバイパスコンデンサを応用した例について説明してゆく。

[0033]

Next, example adapting bypass capacitor by this wiring layer is demonstrated.

【0034】

図11は本発明の配線層によるバイパスコンデンサとGCDによる静電気保護素子を組み合わせた第6例回路図である。細部の部品は省略しているが図6の例と同様I/Oセル領域がチップの周辺にリング状に配置される半導体集積装置の上辺を取り出したものである。I/O用電源ラインと内部用電源ラインは共通のVDDパッド1100とVSSパッド1101から分岐している。I/O用電源ラインは2層目金属配線層を使いやはりリング状に配置され、最外周がI/O用VDD1105、内側がI/O用VSS1107に割り当てられている。(図11では太い実線で2層目配線層を表している) また前記I/O用VDD1105の領域と重なる様に3層目金属配線層を使いI/O用VSS1104が配置され、この2つの層のクロスする領域でバイパスコンデンサ1を形成している。(図11では鎖線で3層目金属配線を表している) また同様に前記I/O用V

[0034]

FIG. 11 is 6th example circuit diagram which combined electrostatic-protection element by bypass capacitor by wiring layer and GCD of this invention.

Although components of details were omitted, they took out top region of semiconductor integration apparatus with which I/O cell region is arranged around tip at ring shape like example of FIG. 6.

Power-source line for I/O and power-source line for interior are branched from common VDD pad 1100 and VSS pad 1101.

Power-source line for I/O is arranged as expected at ring shape using the 2nd layer metal wiring layer, outermost periphery is assigned to VDD1105 for I/O, and inner side is assigned to VSS1107 for I/O.

(The 2nd layer wiring layer is expressed with thick continuous line in FIG. 11)

Moreover, VSS1104 for I/O is arranged at style which laps with region of said VDD1105 for I/O using the 3rd layer metal wiring layer, bypass capacitor 1 is formed in region which these two layers cross.

(The 3rd layer metal wiring is expressed with chain line in FIG. 11)

Moreover, VDD1106 for I/O is arranged at style which laps with region of said VSS1107 for I/O

SS1107の領域と重なる様に3層目金属配線層を使いI/O用VDD1106が配置され、この2つの層のクロスする領域でバイパスコンデンサ2を形成している。この2つのバイパスコンデンサ1, 2はどちらもVDD-VSS間に接続されていることになり、I/Oセルで発生したスイッチングノイズの緩和に効果がる。そしてPGCDによる静電気保護素子1108がやはりI/O用VDD1105とI/O用VSS1107の間に挿入され前記バイパスコンデンサ1, 2の静電気破壊を保護している。この静電気保護素子と配線層によるバイパスコンデンサの組み合わせはI/O電源を2重に使用するため電源インピーダンスをさげ高周波特性を向上させるという特別の効果も有する。さらにI/Oリング領域はチップの外周に沿って広く存在するため面積を広くとれ、大きなバイパスコンデンサの容量値を得られやすいという利点も有する。またここでは静電気保護素子としてPGCDをあげたが、これまで説明してきたNGCDやNPNバイポーラトランジスタ、PNPバイポーラトランジスタ、PNダイオード等でも同様の効果が得られる。

similarly using the 3rd layer metal wiring layer, bypass capacitor 2 is formed in region which these two layers cross.

These two bypass-capacitor 1,2 both are connected to between VDD-VSS.

Effect is in relief of switching noise generated in I/O cell.

And electrostatic-protection element 1108 by PGCD was inserted between VDD1105 for I/O, and VSS1107 for I/O as expected, and protects electrostatic damage of said bypass capacitors 1 and 2.

In order that combination of bypass capacitor by this electrostatic-protection element and wiring layer may use I/O power source doubly, it lowers source impedance and also has special effect of improving high frequency characteristics.

Furthermore, since I/O ring region exists widely along periphery of tip, large area can be taken, it also has advantage that it can be easy to obtain capacity value of major bypass capacitor. Moreover, PGCD was raised as an electrostatic-protection element here.

However, effect that NGCD demonstrated so far, NPN bipolar transistor, PNP bipolar transistor, and PN diode are also similar is acquired.

【0035】

このように1組の電源パッドしか持たない半導体チップにおいても、I/O用電源と内部用電源を用意して、分岐後のラインにそれぞれバイパスコンデンサと静電気保護素子をもうけることにより、I/O領域と内部領域のノイズ分離が可能である。これによりアナログ回路へ他のデジタル回路やI/Oセルのスイッチングノイズが混入するのを防ぐことができる。

[0035]

Thus, also in semiconductor chip only with 1 set of power-source pads, power source for I/O and power source for interior are prepared, by each preparing bypass capacitor and electrostatic-protection element in line after branch, noise separation of I/O region and internal region can be performed. It can prevent switching noise of other digital circuit or I/O cell mixing to analog circuit by this.

【0036】

また電源パッドからみてI/O用電源ラインと内部用電源ラインが分岐する前に静電気保護素子を設けることにより、内部領域用とI/O領域用に個別に静電気保護素子を設けなくてもバイパスコンデンサの保護が可能であるので、内部領域の面積を増やさずに済む。

[0036]

Moreover, since protection of bypass capacitor can be performed even if it does not individually prepare electrostatic-protection element in object for internal region, and I/O region by preparing electrostatic-protection element before power-source line for I/O and power-source line for interior branch in view of power-source pad, it is not necessary to increase area of internal region.

【0037】

また本発明のバイパスコンデンサと静電気保護素子の組み合わせはノイズ除去という本来の主旨の他、半導体集積装置の静電気耐量をあげるという効果もある。

[0037]

Moreover, bypass capacitor of this invention and combination of electrostatic-protection element are effective in mentioning static-electricity resistance quantity of semiconductor integration apparatus besides original main point of noise rejection.

【0038】

図12は本発明の静電気保護素子とバイパスコンデンサを組み

[0038]

FIG. 12 is static-electricity model figure when static-electricity energy starts from exterior

合わせた半導体集積装置に外部から静電気エネルギーがかかった時の静電気モデル図である。静電気エネルギーのモデルにはEIAJやMILL等いくつかあるが、ここでは静電気電圧1200 (V=400v) が静電気容量1201 (C0=200pf) に蓄積された後、半導体チップ1204に印可された場合を示している。回路ブロックとは別にノイズ除去用に設けられた内蔵バイパスコンデンサ1202をC1=200pfとする。おおもとの静電気エネルギーは $Q=C0 \times V$ であるが、半導体チップに印可される時にはC1とC0の容量比に分割されるので、実質回路ブロック1203にかかる静電気エネルギーは $V \times (C0 / (C1 + C0)) = V \times (1/2)$ となり内蔵バイパスコンデンサ1202が無い場合と比べて1/2になる。一方内蔵バイパスコンデンサ1202にかかる静電気エネルギーは $V \times 1/2$ であるが、静電気保護素子1208によって放電されるので破壊はおこらない。よって半導体チップ全体の静電気耐量はほぼ2倍にあがることになる。

【0039】

そして追加するバイパスコンデンサの容量値を大きくするほど

semiconductor integration apparatus which combined electrostatic-protection element and bypass capacitor of this invention.

There are EIAJ, MILL, etc. in model of static-electricity energy partly.

However, after static-electricity voltage 1200 (V=400v) is accumulated in static-electricity capacity 1201 (C0=200pf) here, case where license is carried out to semiconductor chip 1204 is shown.

Built-in bypass capacitor 1202 prepared in noise rejection apart from circuit block is set to C1=200pf.

Static-electricity energy of being main is $Q=C0 \times V$.

However, when license is carried out to semiconductor chip, it partitions into capacitance ratio of C1 and C0.

Therefore, static-electricity energy concerning real circuit block 1203 becomes 1/2 compared with case where it becomes $V \times (C0 / (C1 + C0)) = V \times (1/2)$, and there is no built-in bypass capacitor 1202.

Static-electricity energy which, on the other hand, starts built-in bypass capacitor 1202 is $V \times 1/2$.

However, it depends electrostatic-protection element 1208, and since it discharges, rupture is not started.

Therefore, static-electricity resistance quantity of the whole semiconductor chip goes up about double.

[0039]

And improvement of static-electricity resistance quantity can be desired, so that capacity value

静電気耐量の向上が望める。

of bypass capacitor to add is enlarged.

【 0 0 4 0 】**[0040]****【発明の効果】**

以上説明したように本発明の半導体集積装置はチップ内部で発生するデジタル回路やI/Oセルの電源ノイズが他の回路ブロックへ回り込むのを緩和することができ、また電源ノイズに敏感なアナログ回路等にたいして電源から回り込んでくるノイズを緩和することができるので、アナログ回路の特性向上及び高周波動作特性の安定化が得られ、電源ノイズに強い半導体集積装置を提供できる。

[ADVANTAGE OF THE INVENTION]

As explained above, it can relieve that power-source noise of digital circuit or I/O cell generated inside tip goes around semiconductor integration apparatus of this invention to other circuit block, moreover, noise which goes around from power source so much in analog circuit sensitive to power-source noise etc. can be relieved.

Therefore, characteristics improvement of analog circuit and stabilization of high frequency operating characteristic are obtained, semiconductor integration apparatus strong against power-source noise can be provided.

【 0 0 4 1 】**[0041]**

また本発明の半導体集積装置は個々の回路ブロック毎の電源ラインにバイパスコンデンサを配置できるので、チップ外部にバイパスコンデンサを付けるよりも低インピーダンスで回路ブロックとバイパスコンデンサを接続することができるので、高周波動作領域でもノイズ除去の効果が高い。

Moreover, semiconductor integration apparatus of this invention can arrange bypass capacitor on power-source line for each circuit block of every.

Therefore, bypass capacitor is connectable with circuit block by low impedance rather than attaching bypass capacitor to tip exterior.

Therefore, effect of noise rejection is high also in high frequency operation region.

【 0 0 4 2 】**[0042]**

また静電気保護素子としてGCDを使う組み合わせでは、I/Oセル等で未使用のトランジスタを使うことができるので、搭

Moreover, in combination using GCD, I/O cell etc. can use unused transistor as an electrostatic-protection element.

Therefore, loading gate is effectively utilizable.

載ゲートを有効に活用できる。

【0043】

また静電気保護素子としてバイポーラトランジスタを内蔵バイパスコンデンサとしてトランジスタゲート膜を使う組み合わせでは、GCDやPNダイオードに比べてブレイクダウン電圧を低くすることが可能で、ディープサブミクロンでの薄いゲート膜トランジスタに対応でき、薄いゲート膜を使うことにより大きな容量値を得ることができるという特別な効果も得られる。

[0043]

Moreover, as an electrostatic-protection element, by making bipolar transistor into built-in bypass capacitor, it is possible to make breakdown voltage low compared with GCD or PN diode, and it can respond to deep submicron and thin gate film transistor in combination using transistor gate film, special effect that major capacity value can be obtained is also acquired by using thin gate film.

【0044】

さらに静電気保護素子としてPNダイオードを、内蔵バイパスコンデンサとしてトランジスタゲート膜を使う組み合わせでは、トランジスタの周位をストップパーで囲むのでゲート膜の静電気保護がより強力になると共に、ウェルの電位をより安定化させることができるので、トランジスタ特性を安定化することができる。

[0044]

In combination using PN diode as an electrostatic-protection element, and as a built-in bypass capacitor transistor gate film furthermore, since at least periphery of transistor is surrounded by stopper, while electrostatic protection of gate film becomes more nearly forcefully, electric potential of well can be stabilized more. Therefore, transistor characteristics can be stabilized.

【0045】

さらに内蔵バイパスコンデンサに配線間容量を使う場合には、静電気保護素子の構造がGCDでもバイポーラトランジスタでもPNダイオードでも、I/Oセルのリング電源用配線層間に

[0045]

When using capacity between wiring for built-in bypass capacitor furthermore, structure of electrostatic-protection element can comprise capacity also from GCD, bipolar transistor, or PN diode by between wiring layers for ring power sources of I/O cell.

より容量を構成できるので、電源ラインのいっそうの強化という格別な効果も得られる。

Therefore, exceptional effect of much more reinforcement of power-source line is also acquired.

【0046】

そして、内蔵バイパスコンデンサを付加することにより、元々の半導体集積装置の静電気耐量を向上させることができるという効果も得られる。

[0046]

And effect that static-electricity resistance quantity of semiconductor integration apparatus from the first can be improved is also acquired by adding built-in bypass capacitor.

【図面の簡単な説明】**[BRIEF DESCRIPTION OF THE DRAWINGS]****【図1】**

本発明の半導体集積装置の概念図。

[FIG. 1]

Conceptual diagram of semiconductor integration apparatus of this invention.

【図2】

従来の方法による外部バイパスコンデンサを使う回路図。

[FIG. 2]

Circuit diagram using external bypass capacitor by conventional method.

【図3】

従来の電源ノイズ除去用チップ内蔵バイパスコンデンサの挿入位置を示す回路図。

[FIG. 3]

Circuit diagram showing insertion point of conventional bypass capacitor for power-source noise rejection with a built-in tip.

【図4】

本発明によるPMOSゲートコントロールダイオード(PGCD) 静電気保護素子とPMOSゲート膜バイパスコンデンサの組み合わせによる第1例回路図。

[FIG. 4]

1st example circuit diagram by combination of PMOS gate controlled diode (PGCD) electrostatic-protection element by this invention, and PMOS gate film bypass capacitor.

【図5】**[FIG. 5]**

本発明によるNMOSゲートコントロールドダイオード (NGCD) 静電気保護素子とNMOSゲート膜バイパスコンデンサの組み合わせによる第2例回路図。

2nd example circuit diagram by combination of NMOS gate controlled diode (NGCD) electrostatic-protection element by this invention, and NMOS gate film bypass capacitor.

【図6】

本発明の第3例の回路図。

[FIG. 6]

Circuit diagram of 3rd example of this invention.

【図7】

本発明によるNPNバイポーラトランジスタ 静電気保護素子とPMOSゲート膜バイパスコンデンサの組み合わせによる第4例回路図。

[FIG. 7]

4th example circuit diagram by combination of NPN bipolar-transistor electrostatic-protection element by this invention, and PMOS gate film bypass capacitor.

【図8】

本発明によるPNダイオード静電気保護素子とNMOSゲート膜バイパスコンデンサの組み合わせによる第5例回路図。

[FIG. 8]

5th example circuit diagram by combination of PN diode electrostatic-protection element by this invention, and NMOS gate film bypass capacitor.

【図9】

本発明による図8のPNダイオードのレイアウト平断面図。

[FIG. 9]

Layout plane-cross-section figure of PN diode of FIG. 8 by this invention.

【図10】

一般的な配線層間膜により容量を形成した場合の断面図。

[FIG. 10]

Sectional drawing at the time of forming capacity by general wiring-layer ligamentum.

【図11】

本発明の配線層によるバイパスコンデンサとGCDによる静電気保護素子を組み合わせた第6例回路図。

[FIG. 11]

6th example circuit diagram which combined electrostatic-protection element by bypass capacitor by wiring layer and GCD of this invention.

【図 12】

本発明の静電気保護素子とバイパスコンデンサを組み合わせた半導体集積装置に外部から静電気エネルギーがかかった時の静電気モデル図。

[FIG. 12]

Static-electricity model figure when static-electricity energy starts from exterior semiconductor integration apparatus which combined electrostatic-protection element and bypass capacitor of this invention.

【符号の説明】

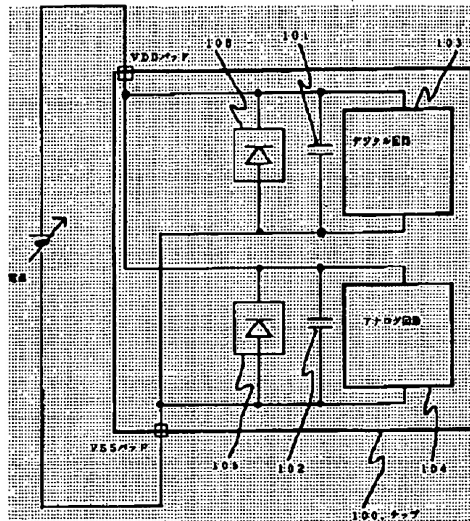
100... 半導体チップ
 101... デジタル回路ブロック用バイパスコンデンサ
 102... アナログ回路ブロック用バイパスコンデンサ
 103... デジタル回路ブロック用
 104... アナログ回路ブロック用
 105... デジタル回路ブロック用静電気保護素子
 106... アナログ回路ブロック用静電気保護素子
 205... 電源ノイズ
 310... 静電気エネルギー

[DESCRIPTION OF SYMBOLS]

100... semiconductor chip
 101... bypass capacitor for digital circuit block
 102... bypass capacitor for analog circuit block
 103... object for digital circuit block
 104... object for analog circuit block
 105... electrostatic-protection element for digital circuit block
 106... electrostatic-protection element for analog circuit block
 205... power-source noise
 310... static-electricity energy

【図 1】

[FIG. 1]



VDD pad

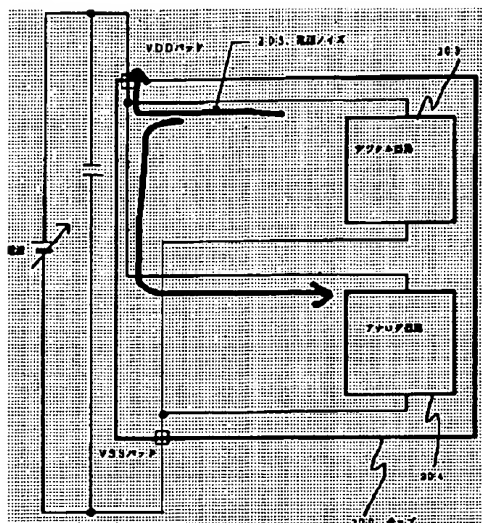
Power ->

VSS pad

See also [DESCRIPTION OF SYMBOLS].

【図 2】

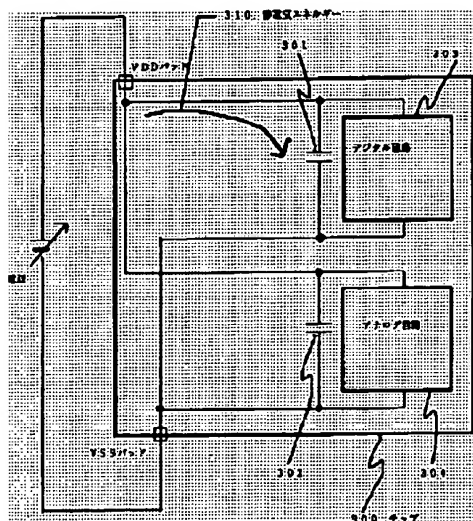
[FIG. 2]



See FIG 1 and [DESCRIPTION OF SYMBOLS].

【図 3】

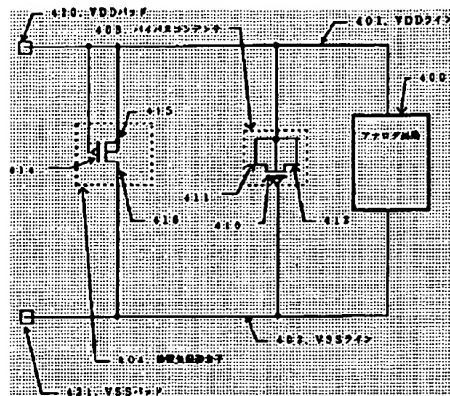
[FIG. 3]



See FIG 1 and [DESCRIPTION OF SYMBOLS].

【図 4】

[FIG. 4]



420 VDD pad

403 Bypass capacitor

401 VDD line

400 Analog circuit

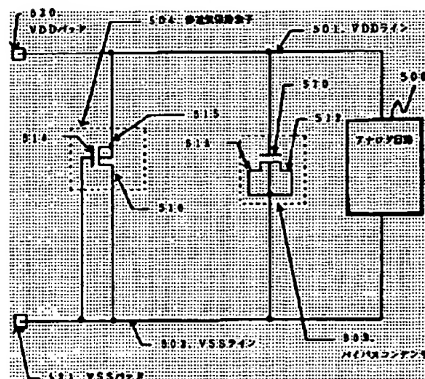
404 Electrostatic-protection element

421 VSS pad

402 VSS line

【図 5】

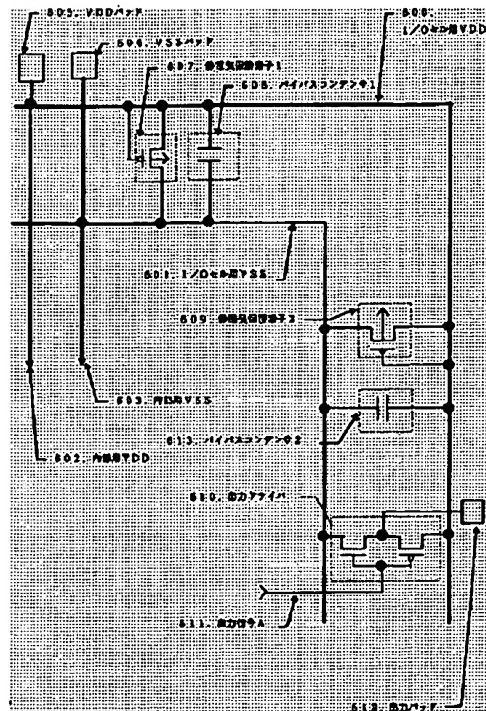
[FIG. 5]



See FIG. 4.

【図 6】

[FIG 6]



505 VDD pad

606 VSS pad

600 VDD for I/O cells

607 Electrostatic-protection element 608 Bypass capacitor

601 VSS for I/O cells

609 Electrostatic-protection element 2

603 VSS for interior

602 VDD for interior

613 Bypass capacitor 2

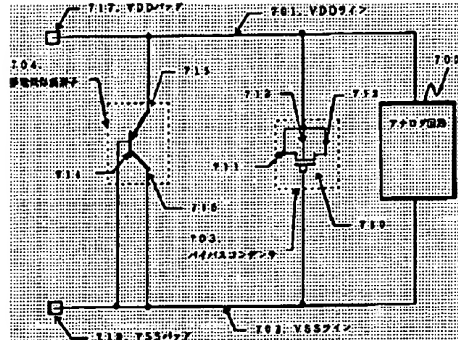
610 Output driver

611 Output signal

612 Output pad

【図 7】

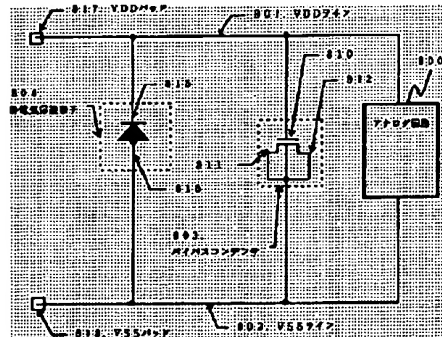
[FIG. 7]



See FIG 4.

【図 8】

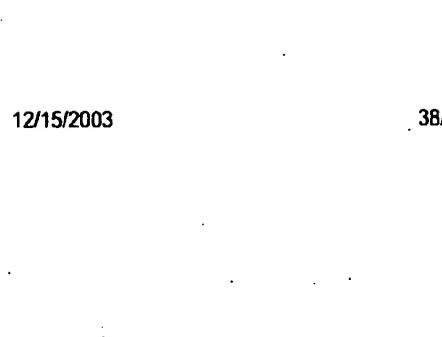
[FIG. 8]

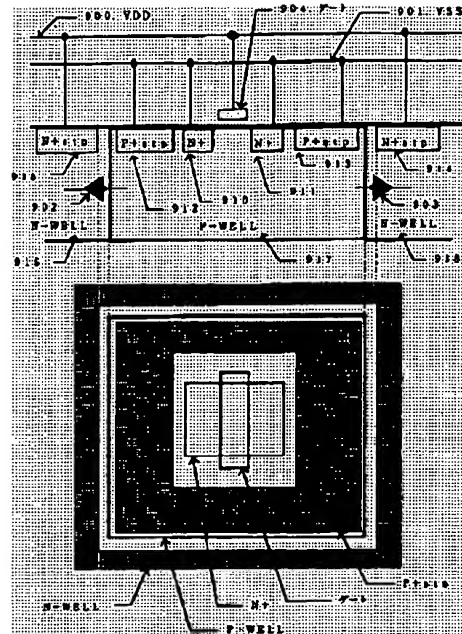


See FIG 4.

【図 9】

[FIG. 9]

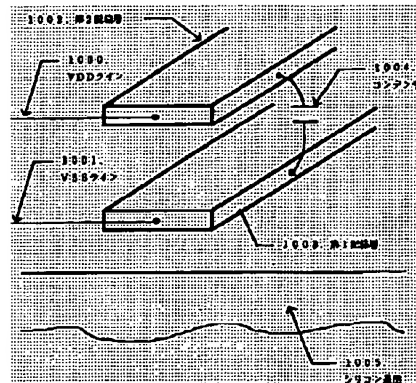




gate

【図 10】

[FIG. 10]



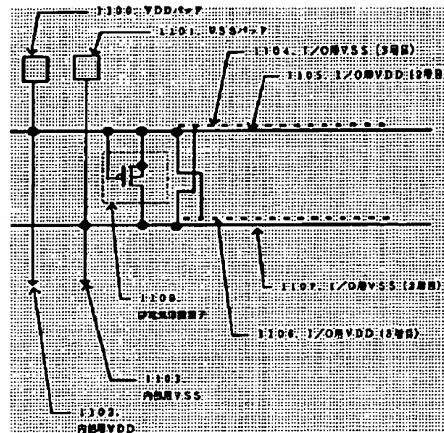
1000 VDD Line

1001 VSS Line

- 1002 2nd wiring layer
- 1003 1st wiring layer
- 1004 Condenser
- 1005 Silicon substrate

【図 11】

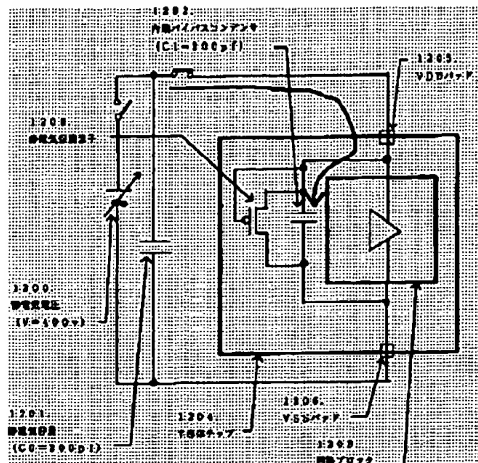
[FIG. 11]



- 1100 VDD Pad
- 1101 VSS Pad
- 1102 VDD for interior
- 1103 VSS for interior
- 1104 VSS for I/O (the 3rd layer)
- 1105 VDD for I/O (the 2nd layer)
- 1106 VDD for I/O (the 3rd layer)
- 1107 VSS for I/O (the 2nd layer)

【図 12】

[FIG. 12]



- 1200 Static-electricity voltage
- 1201 Static-electricity capacity
- 1202 Built-in bypass capacitor
- 1203 Circuit block
- 1204 Semiconductor chip
- 1205 VDD pad
- 1206 VSS pad
- 1208 Electrostatic-protection element

DERWENT TERMS AND CONDITIONS

Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page:

["WWW.DERWENT.CO.UK"](http://WWW.DERWENT.CO.UK) (English)

["WWW.DERWENT.CO.JP"](http://WWW.DERWENT.CO.JP) (Japanese)